

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

Patent Abstracts of Japan

PUBLICATION NUMBER : 10013487
PUBLICATION DATE : 16-01-98

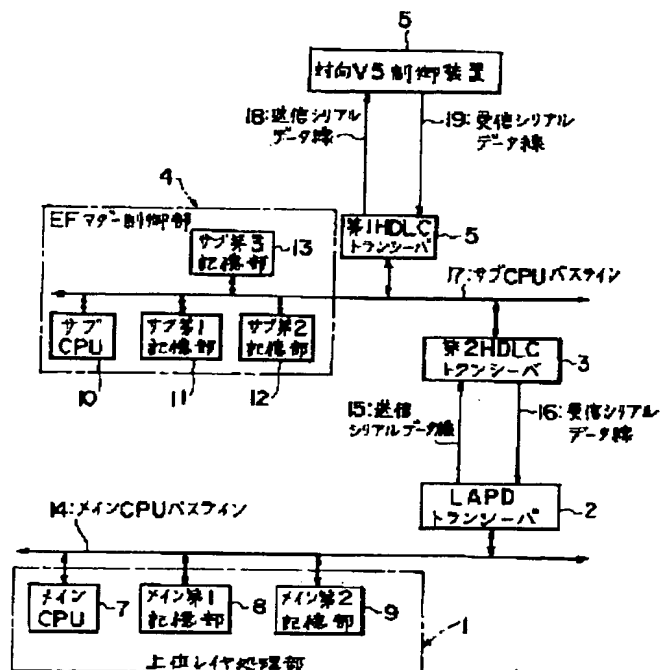
APPLICATION DATE : 20-06-96
APPLICATION NUMBER : 08159988

APPLICANT : NEC CORP;

INVENTOR : OKURANO TSUTOMU;

INT.CL. : H04L 29/06 H04L 12/02

TITLE : PROTOCOL CONVERSION DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To eliminate the need of the firmware design, to reduce design man- hour and to shorten a design period of the firmware for realizing the complicated data link layer processing of order control and re-transmission control and the debugging period of the firmware.

SOLUTION: In the respective parts of constitution from a host layer processing part 1 to an opposite V5 controller 5, SAPI and TEI areas are copied into an EF adder area from an LAPD(link access procedure on the D-channel) data format which a second HDLC transceiver 3 receives in a control operation for adding an EF adder, and they are transmitted to a first HDLC(high level data link control procedure) transceiver. In a control operation for eliminating the EF adder, the EF adder area of an LAPV5 data format received from the first HDLC transceiver 5 is eliminated and it is transmitted to the second HDLC transceiver 3. A control operation for adding and eliminating the simple EF adder is realized by the firmware by using a comercial LAPD transceiver 2 and the first and second HDLC transceivers 5 and 3, and the data link layer processing of LAPV5 is executed.

COPYRIGHT: (C)1998,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-13487

(43)公開日 平成10年(1998)1月16日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 29/06			H 0 4 L 13/00	3 0 5 B
12/02		9744-5K	11/02	Z

審査請求 有 請求項の数3 O L (全 5 頁)

(21)出願番号 特願平8-159988

(22)出願日 平成8年(1996)6月20日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 大倉野 勉

東京都港区芝五丁目7番1号 日本電気株式会社内

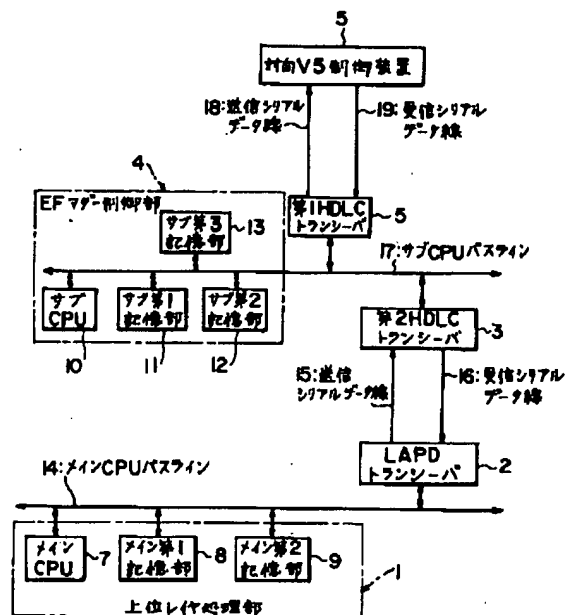
(74)代理人 弁理士 渡辺 喜平

(54)【発明の名称】 プロトコル変換装置

(57)【要約】

【課題】 ファームウェア設計などを不要にして設計工数を削減し、かつ、順序制御及び再送制御等の複雑なデータリンクレイヤ処理を実現するファームウェアの設計期間及び、そのデバック期間を短縮する。

【解決手段】 上位レイヤ処理部1から対向V5制御装置6までの構成の各部にあって、EFアダーを付加する制御動作では第2HDLCトランシーバ3が受信したLAPDデータフォーマットからSAPI及びTEIエリアをEFアダーエリアにコピーして、第1HDLCトランシーバ5に送信する。EFアダーを削除する制御動作では、第1HDLCトランシーバ5から受信したLAPV5データフォーマットのEFアダーエリアを削除して、第2HDLCトランシーバ3に送信し、市販のLAPDトランシーバ2、第1及び第2HDLCトランシーバ5、3を用いて、簡易なEFアダーの付加や削除する制御動作をファームウェアで実現し、LAPV5のデータリンクレイヤ処理を行う。



【特許請求の範囲】

【請求項1】 LAPD処理を行うLAPDトランシーバと、

対向V5制御通信装置と接続される第1HDLCトランシーバと、

前記LAPDトランシーバと接続される第2HDLCトランシーバと、

前記第2HDLCトランシーバが受信したデータにEFアダーを付加し、前記第1HDLCトランシーバに送信するEFアダーを付加し、かつ、前記第1HDLCトランシーバが受信したデータからEFアダーを削除するとともに、前記LAPDトランシーバに送信するEFアダーを削除する制御を行うEFアダー制御手段と、を備えることを特徴とするプロトコル変換装置。

【請求項2】 前記請求項1記載のプロトコル変換装置において、

LAPDトランシーバがレイヤ3以上のプロトコルを制御する上位レイヤ処理手段に接続されることを特徴とするプロトコル変換装置。

【請求項3】 前記請求項1、2記載のプロトコル変換装置をISDN回線に接続する通信端末でのデータリンクレイヤ処理に適用することを特徴とするプロトコル変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ISDN回線に接続する通信端末でのLAPV5のデータリンクレイヤ処理などにおけるプロトコル変換を行うプロトコル変換装置に関する。

【0002】

【従来の技術】従来、ISDN回線に接続する通信端末などでのデータリンクレイヤ処理において、ETS300,324-1(V5.1)及びETS300,347-1(V5.2)で制御用チャンネルとして使用するCチャンネルは、データフォーマットが、従来のLAPD(Link Access Procedure on the D-Channel)フォーマット(ITU-T, Q.921)のオープニングフラグの次に2オクテットのEFアダーと呼ばれるエリアを追加したものである。また、データリンクレイヤ(LAPV5)処理もLAPD処理のサブセットと規定している。

【0003】LAPD仕様は周知(CCITT勧告、441)であり、その回路がLSI化され、LAPDトランシーバ(ドライバ/レシーバ)として使用されているが、V5.1及びV5.2は新たなインタフェースであり、現状では、このインタフェース仕様はLSI化されていない。また、LAPDとデータフォーマットが異なり、その処理がLAPDのサブセットであるにも関わらず、市販のLAPDトランシーバを使用できないため、HDLC(High Level Data link Control Procedure)トランシーバを使用し、このファームウェアでデータ

リンクレイヤ処理を実現している。

【0004】この種の技術に関する提案として特開平3-175852号公報「ISDN端末装置」の技術が知られている。この従来例では、予め登録された緊急を要する発生呼などを、Dチャンネルでのアクセス競合制御に対して優位になるようにしている。

【0005】

【発明が解決しようとする課題】このように上記した前者従来例では、その処理が周知のLAPDのサブセットであるにも関わらず、データフォーマットが異なるため、市販のLAPDトランシーバを使用できない。このため、HDLCトランシーバを使用したファームウェアでデータリンクレイヤ処理を行う必要がある。この場合、設計工数が増大化する欠点がある。

【0006】さらに、順序制御及び再送制御等の複雑なデータリンクレイヤ処理を実現するファームウェアの設計期間及び、そのデバッグ期間が多大になるという欠点があった。また、後者の従来例を適用しても、これらの課題には対応できない。

【0007】本発明は、このような従来の技術における課題を解決するものであり、データリンク処理に市販のLAPDトランシーバを使用し、ファームウェア設計などを不要にして設計工数が削減できるとともに、順序制御及び再送制御等の複雑なデータリンクレイヤ処理を実現するファームウェアの設計期間及び、そのデバッグ期間を短縮できるプロトコル変換装置の提供を目的とする。

【0008】

【課題を解決するための手段】上記課題を達成するために、請求項1記載の発明のプロトコル変換装置は、LAPD処理を行うLAPDトランシーバと、対向V5制御通信装置と接続される第1HDLCトランシーバと、LAPDトランシーバと接続される第2HDLCトランシーバと、第2HDLCトランシーバが受信したデータにEFアダーを付加し、第1HDLCトランシーバに送信するEFアダーを付加し、かつ、第1HDLCトランシーバが受信したデータからEFアダーを削除するとともに、LAPDトランシーバに送信するEFアダーを削除する制御を行うEFアダー制御手段とを備える構成としてある。

【0009】請求項2記載のプロトコル変換装置は、LAPDトランシーバがレイヤ3以上のプロトコルを制御する上位レイヤ処理手段に接続される構成としてある。

【0010】請求項3記載のプロトコル変換装置は、このプロトコル変換装置をISDN回線に接続する通信端末でのデータリンクレイヤ処理に適用する構成としてある。

【0011】このような構成のプロトコル変換装置にあって、EFアダーを付加する制御動作では、第2HDLCトランシーバが受信したLAPDデータフォーマット

からSAPI及びTEIエリア(LAPV5でのV5DLアダー)をEFアダーエリアにコピーして、第1HDLCTランシーバに送信している。また、EFアダーを削除する制御動作では、第1HDLCTランシーバから受信したLAPV5データフォーマットのEFアダーエリアを削除して、第2HDLCTランシーバに送信している。

【0012】この場合、市販のLAPDランシーバ、HDLCTランシーバを用いて、簡易な処理のEFアダーを付加する制御動作やEFアダーを削除する制御動作をファームウェアで実現できる。すなわち、LAPV5のデータリンクレイヤ処理を行うことができ、設計工数が削減される。さらに、順序制御及び再送制御等の複雑なデータリンクレイヤ処理を実現するファームウェアの設計期間及び、そのデバック期間が短縮される。

【0013】

【発明の実施の形態】次に、本発明のプロトコル変換装置の実施の形態を図面を参照して詳細に説明する。図1は本発明のプロトコル変換装置の実施形態における構成を示すブロック図である。図1の例のプロトコル変換装置は、レイヤ3以上のプロトコルを制御する上位レイヤ処理部1とレイヤ2制御を行うLAPDランシーバ2とが、メインCPUバスライン14で接続されている。上位レイヤ処理部1はメインCPU7と、各処理を実行するためのプログラムを格納したメイン第1記憶部8及び通信データを格納するメイン第2記憶部9とで構成されている。

【0014】LAPDランシーバ2と第2HDLCTランシーバ3とは、送信シリアルデータ線15と受信シリアルデータ線16で接続されている。第2HDLCTランシーバ3、EFアダー(addr)制御部4及び第1HDLCTランシーバ5がサブCPUバスライン17で接続されている。EFアダー制御部4はサブCPU10と、処理を実行するプログラムが格納されるサブ第1記憶部11、第2HDLCTランシーバ3の通信データが格納されるサブ第2記憶部12及び第1HDLCTランシーバ5の通信データが格納されるサブ第3記憶部13で構成されている。第1HDLCTランシーバ5と対向V5制御装置6とは送信シリアルデータ線18及び受信シリアルデータ線19で接続されている。

【0015】次に、この実施形態の動作について説明する。図2は、この実施形態の動作を説明するための図である。まず、送信手順について説明する。図1及び図2において、上位レイヤ処理部1のメインCPU7はメインCPUバスライン14を通じてメイン第1記憶部8からデータ送信プログラムを読み出し、このデータ送信プログラムの送信データをメイン第2記憶部9へ図2

(a)に示すようにデータフォーマットAの様式で書き込む。LAPDランシーバ2はメイン第2記憶部9に送信データが書き込まれたことを認識するとメインCP

Uバスライン14を通じて送信データを読み出す。

【0016】この読み出した送信データの中のSAPI及びTEIフィールドに指定されるデータリンクの順序制御及び再送制御に係るコントロールフィールドを図2(b)に示すように、TEIフィールドとInfoフィールドとの間に挿入する。次に全データフィールドのCRC演算結果を、FCSフィールドに追加し、その後、オープニングフラグ及びクロージングフラグを付加したデータフォーマットBの様式で送信シリアルデータ線15に送信する。

【0017】第2HDLCTランシーバ3は送信シリアルデータ線15からデータを受信すると図2(c)に示すように、オープニングフラグ及びクロージングフラグを削除し、SAPIフィールドからInfoフィールドまでのCRC演算を行い、FCSフィールドの値と比較する。この比較での結果が正常の場合には、サブCPUバスライン17を通じてサブ第2記憶部12に対してデータフォーマットCの様式で書き込む。

【0018】サブCPU10はサブ第2記憶部12にデータ(データフォーマットC)が書き込まれたことを認識すると、図2(d)に示すようにサブCPUバスライン17を通じてサブ第1記憶部11からEFアダーを付加する制御動作に係るプログラムを読み出し、サブ第2記憶部12に格納されているデータフォーマットCのSAPI及びTEIフィールドをデータフォーマットCの先頭に付加して、サブ第3記憶部13にデータフォーマットDの様式で書き込む。

【0019】第1HDLCTランシーバ5はサブ第3記憶部13にデータ(データフォーマットD)が書き込まれたことを認識するとサブCPUバスライン17を通じてデータを読み出す。このデータのCRC演算結果をFCSフィールドに追加後、オープニングフラグ及びクロージングフラグを付加した、データフォーマットE、すなわち、LAPV5データフォーマットの様式で、対向V5制御装置6に送信シリアルデータ線18を通じて送信する。

【0020】次に受信手順について説明する。第1HDLCTランシーバ5は対向V5制御装置6から受信シリアルデータ線19を通じてLAPV5データフォーマットの様式、すなわち、図2(e)に示すデータフォーマットEの様式のデータを受信すると、オープニングフラグ及びクロージングフラグを削除する。次に、先頭のSAPIフィールドからInfoフィールドまでのCRC演算を行い、FCSフィールドの値と比較する。

【0021】この比較での結果が正常の場合には、サブCPUバスライン17を通じてサブ第3記憶部13にデータフォーマットDの様式で書き込む。サブCPU10はサブ第3記憶部13にデータが書き込まれたことを認識すると、サブCPUバスライン17を通じて、サブ第1記憶部11からEFアダーを削除する制御動作に係る

するプログラムを読み出す。そして、サブ第3記憶部13に格納されているデータフォーマットDの先頭のSAPI及びTEIフィールドを削除して、サブ第2記憶部12に図2(c)に示すデータフォーマットCの様式で書き込む。

【0022】第2HDLCトランシーバ3はサブ第2記憶部12にデータ(データフォーマットC)が書き込まれたことを認識するとサブCPUバスライン17を通じて、このデータを読み出す。そして、このデータのCRC演算結果をFCSフィールドに追加した後に、オープニングフラグ及びクロージングフラグを付加して、図2(b)に示すデータフォーマットBの様式で受信シリアルデータ線16に送信する。

【0023】LAPDトランシーバ2は受信シリアルデータ線16からデータ(データフォーマットB)を受信するとオープニングフラグ及びクロージングフラグを削除し、SAPIフィールドからInfoフィールドまでのCRC演算を行い、FCSフィールドの値と比較する。この比較での結果が正常の場合には、SAPI及びTEIフィールドに指定されるデータリンクの状態とコントロールフィールドの値を参照して、順序制御及び再送制御の処理を実施する。

【0024】受信されたデータが正常の場合にはコントロールフィールドを削除し、メインCPUバスライン14を通じてメイン第2記憶部9に図2(a)に示すデータフォーマットAの様式で書き込む。メインCPU7はメイン第2記憶部9にデータ(データフォーマットA)が書き込まれたことを認識すると、メインCPUバスライン14を通じてメイン第1記憶部8からプログラムを読み出して、上位レイヤ処理を実行する。

【0025】なお、この実施形態では上位レイヤ処理部1におけるメイン第1記憶部8とメイン第2記憶部9とを個別に構成しているが同一の記憶素子を用いて構成しても良い。同様にEFアダー制御部4でもサブ第1記憶部11、サブ第2記憶部12及びサブ第3記憶部13を個別に構成しているが同一の記憶素子を用いて構成して、前記同様の処理を行うようにしても良い。

【0026】

【発明の効果】以上の説明から明らかなように、本発明

のプロトコル変換装置によれば、EFアダーを付加する制御動作時に、第2HDLCトランシーバが受信したLAPDデータフォーマットからSAPI及びTEIエリアをEFアダーエリアにコピーして、第1HDLCトランシーバに送信し、また、EFアダーを削除する制御動作では、第1HDLCトランシーバから受信したLAPV5データフォーマットのEFアダーエリアを削除して、第2HDLCトランシーバに送信している。

【0027】この結果、市販のLAPDトランシーバ、HDLCトランシーバを用いて、簡易な処理のEFアダーを付加する制御動作やEFアダーを削除する制御動作がファームウェアで実現される。したがって、LAPV5のデータリンクレイヤ処理が行われ、その設計工数が削減できるとともに、順序制御及び再送制御等の複雑なデータリンクレイヤ処理を実現するファームウェアの設計期間及び、そのデバック期間を短縮できるようになる。

【図面の簡単な説明】

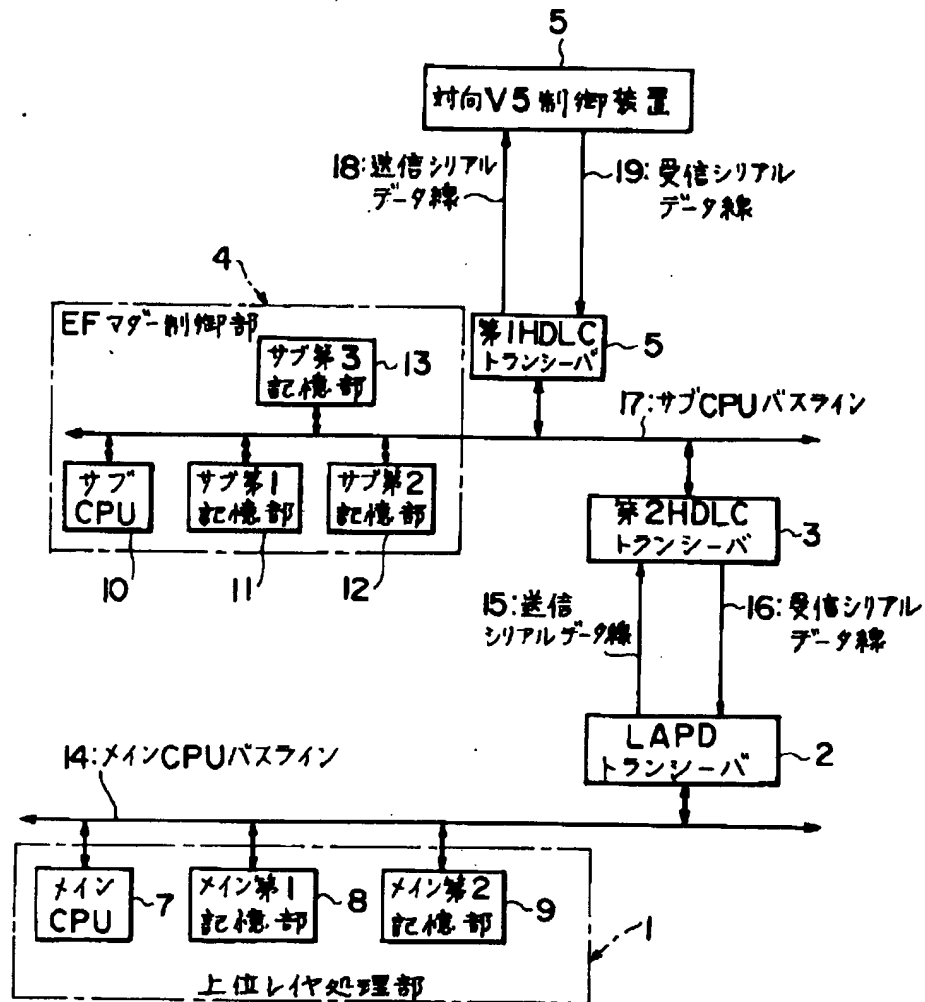
【図1】本発明のプロトコル変換装置の実施形態の構成を示すブロック図である。

【図2】実施形態の動作を説明するための図である。

【符号の説明】

- 1 上位レイヤ処理部
- 2 LAPDトランシーバ
- 3 第2HDLCトランシーバ
- 4 EFアダー制御部
- 5 第1HDLCトランシーバ
- 6 対向V5制御装置
- 7 メインCPU
- 8 メイン第1記憶部
- 9 メイン第2記憶部
- 10 サブCPU
- 11 サブ第1記憶部
- 12 サブ第2記憶部
- 13 サブ第3記憶部
- 14 メインCPUバスライン
- 15, 18 送信シリアルデータ線
- 16, 19 受信シリアルデータ線
- 17 サブCPUバスライン

【図1】



【図2】

